



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2004-0026148  
Application Number

출원 년 월 일 : 2004년 04월 16일  
Date of Application APR 16, 2004

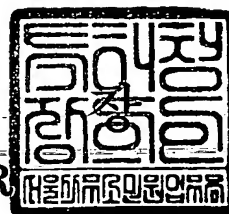
출원인 : 하이프레스 인코포레이티드 외 2명  
Applicant(s) HYPRES, INC., et al.



2004 년 04 월 27 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2004.04.16
【발명의 명칭】	반가산기를 이용한 논리연산장치
【발명의 영문명칭】	Arithmetic and Logic Unit using haff adder
【출원인】	
【명칭】	한국광기술원
【출원인코드】	2-2004-013098-4
【출원인】	
【성명】	강준희
【출원인코드】	4-2004-012801-4
【출원인】	
【명칭】	하이프레스 인코포레이티드
【출원인코드】	5-1998-083841-0
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	2004-026043-7
【포괄위임등록번호】	2004-025597-3
【발명자】	
【성명의 국문표기】	정구락
【성명의 영문표기】	JUNG,Ku Rak
【주민등록번호】	710714-1663418
【우편번호】	500-110
【주소】	광주광역시 북구 문흥동 787-1 우산아파트 107동 1404호
【국적】	KR
【발명자】	
【성명의 국문표기】	강준희
【성명의 영문표기】	KANG,Joon Hee
【주민등록번호】	550205-1006323
【우편번호】	463-747

**【주소】** 경기도 성남시 분당구 분당동 35 샛별마을동성아파트 204동 101호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 알렉스 에프. 키르헨코  
**【성명의 영문표기】** KIRICHENKO, Alex F.  
**【주소】** 뉴욕 10523, 엘름스포드, 175 클리어부룩 알디.  
**【주소의 영문표기】** 175 Clearbrook Rd. Elmsford, NY 10523  
**【국적】** US  
**【발명자】**  
**【성명의 국문표기】** 사드 사르와나  
**【성명의 영문표기】** SARWANA, Saad  
**【주소】** 뉴욕 10523, 엘름스포드, 175 클리어부룩 알디.  
**【주소의 영문표기】** 175 Clearbrook Rd. Elmsford, NY 10523  
**【국적】** US  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서만규 (인)  
**【수수료】**  
**【기본출원료】** 0 면 38,000 원  
**【가산출원료】** 15 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 2 항 173,000 원  
**【합계】** 211,000 원

**【요약서】****【요약】**

이 발명은 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기를 이용하여 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동할 수 있도록 함으로써 고성능의 논리연산장치를 제작할 수 있도록 하는, 반가산기를 이용한 논리연산장치에 관한 것으로서,

초전도체 단자속양자소자를 논리회로로서 사용한 반가산기와, 상기한 반가산기의 합단자 및 캐리단자에 입력단이 연결되어 있으며 상기한 반가산기의 출력신호를 이용하여 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동하도록 하는 스위치부를 포함하여 이루어지며,

상기한 스위치부는, 상기한 반가산기의 합출력단에 입력단이 연결되어 있는 제1 스위치와, 상기한 반가산기의 캐리출력단에 입력단이 연결되어 있으며 상기한 제1 스위치의 출력단에 출력단이 연결되어 있는 제2 스위치와, 상기한 반가산기의 캐리출력단에 입력단이 연결되어 있는 제3 스위치를 포함하여 이루어진다.

**【대표도】**

도 3

**【색인어】**

초전도체, 단자속 양자소자, 오아 게이트, 앤드 게이트, 반가산기, 스위치부

**【명세서】****【발명의 명칭】**

반가산기를 이용한 논리연산장치{Arithmetic and Logic Unit using haff adder}

**【도면의 간단한 설명】**

도 1은 일반적으로 사용되고 있는 논리연산장치의 구조를 보여주는 회로 구성도이다.

도 2는 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기의 회로 구성도이다.

도 3은 이 발명의 일실시예에 따른 반가산기를 이용한 논리연산장치의 회로 구성도이다.

도 4는 이 발명의 일실시예에 따른 반가산기를 이용한 논리연산장치의 스위치의 회로 구성도이다.

도 5는 이 발명의 일실시예에 따른 반가산기를 이용한 논리연산장치를 활용한 2비트 논리연산장치의 회로 구성도이다.

도 6은 이 발명의 일실시예에 따른 반가산기를 이용한 논리연산장치를 활용한 4비트 논리연산장치의 회로 구성도이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

20 : 반가산기

30 : 스위치부

31 : 제1 스위치

32 : 제2 스위치

33 : 제3 스위치

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 이 발명은 논리연산장치 분야에 관한 것으로서, 좀더 세부적으로 말하자면 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기를 이용하여 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동할 수 있도록 함으로써 고성능의 논리연산장치를 제작할 수 있도록 하는, 반가산기를 이용한 논리연산장치에 관한 것이다.
- <12> 정보통신기술이 발달됨에 따라, 이에 사용되는 컴퓨터와 마이크로프로세서의 성능도 더욱 향상될 것을 요구하고 있다.
- <13> 컴퓨터와 마이크로 프로세서의 성능을 결정하는 것으로서는 중앙처리장치(CPU)의 성능이 가장 중요한 역할을 하고 있으며, 특히 중앙처리장치를 구성하고 있는 논리연산장치(ALU)의 성능이 매우 중요하다.
- <14> 도 1은 일반적으로 사용되고 있는 논리연산장치의 일부 구조를 보여주고 있는데, 도 1에 도시되어 있는 바와 같이 일반적으로 사용되고 있는 논리연산장치는 익스클루시브오아 게이트(11)와 앤드 게이트(12)와, 오아 게이트(13)와, 전 가산기(14)와, 멀티플렉서(15) 등과 같이 전압의 상태에 따라 디지털값이 결정되는 반도체 논리회로의 조합으로 되어 있다.
- <15> 그러나, 이와 같이 전압의 상태에 따라 디지털값이 결정되는 반도체 논리회로로 되어 있는 논리연산장치는 그 작동속도가 상대적으로 높지 않은 문제점이 있다.
- <16> 이러한 논리연산장치의 성능을 획기적으로 개선하기 위해서는, 전압의 상태에 따라 디지털값을 결정하는 것보다는, 전압펄스를 사용하여 디지털값을 결정하는 것이 훨씬 유리하다.

- <17> 종래에 전압펄스를 사용하여 디지털값을 결정하기 위한 논리회로로서 초전도체 단자속양자소자가 개시된 바 있고, 이를 사용한 반가산기나 T 플립플롭 등이 제시되고 있다.
- <18> 도 2는 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기의 회로 구성을 보여주고 있는데, 이와같이 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기의 동작속도는 수십GHz 정도로 상대적으로 빠르게 동작한다. 도 2에서 J로 표시된 회로요소들은 조셉슨 접합들을 나타낸다.
- <19> 조셉슨 접합이란 두 개의 초전도체를 약하게 결합시킨 것으로서, 입력신호가 발생하면 일정 전류 이상의 전류가 조셉슨 접합을 통해 흐르게 되고, 이에 따라 수 피코초(ps)의 아주 짧은 전압펄스를 발생시킨다. 따라서 조셉슨 접합을 사용하여 수십 내지 수백 기가 Hz의 빠른 속도를 갖는 디지털 논리 게이트를 만들 수 있다.
- <20> 상기한 반가산기 이외에도 초전도체 단자속양자소자를 논리회로로서 사용한 T 플립플롭이 제시된 바 있는데, 이와 같이 초전도체 단자속양자소자를 논리회로로서 사용한 T 플립플롭의 경우에는 770GHz의 동작속도로 아주 빠르게 작동하는 것으로 알려져 있다.
- <21> 최근에 상기한 바와 같이 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기를 논리연산장치에 활용하려는 노력이 시도되고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <22> 이 발명의 목적은 이와 같은 기술적 추세에 부응하기 위한 것으로서, 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기를 이용하여 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동할 수 있도록 함으로써 고성능의 논리연산장치를 제작할 수 있도록 하는, 반가산기를 이용한 논리연산장치를 제공하는 데 있다.

## 【발명의 구성 및 작용】

- <23>        상기한 목적을 달성하기 위한 수단으로서 이 발명의 구성은, 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기와, 상기한 반가산기의 합단자 및 캐리단자에 입력단이 연결되어 있으며 상기한 반가산기의 출력신호를 이용하여 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동하도록 하는 스위치부를 포함하여 이루어지며, 상기한 스위치부는, 상기한 반가산기의 합출력단에 입력단이 연결되어 있는 제1 스위치와, 상기한 반가산기의 캐리출력단에 입력단이 연결되어 있으며 상기한 제1 스위치의 출력단에 출력단이 연결되어 있는 제2 스위치와, 상기한 반가산기의 캐리출력단에 입력단이 연결되어 있는 제3 스위치를 포함하여 이루어진다.
- <24>        이하, 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 이 발명을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 이 발명의 가장 바람직한 실시예를 첨부된 도면을 참조로 하여 상세히 설명하기로 한다. 이 발명의 목적, 작용, 효과를 포함하여 기타 다른 목적들, 특징점들, 그리고 동작상의 이점들이 바람직한 실시예의 설명에 의해 보다 명확해질 것이다.
- <25>        참고로, 여기에서 개시되는 실시예는 여러가지 실시가능한 예중에서 당업자의 이해를 돕기 위하여 가장 바람직한 실시예를 선정하여 제시한 것일 뿐, 이 발명의 기술적 사상이 반드시 이 실시예에만 의해서 한정되거나 제한되는 것은 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 다양한 변화와 부가 및 변경이 가능함은 물론, 균등한 타의 실시예가 가능함을 밝혀 둔다.
- <26>        이 발명의 일실시예에 따른 반가산기를 이용한 논리연산장치의 구성은, 도 3에 도시되어 있는 바와 같이, 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기(20)와, 상기한 반



가산기(20)의 합단자(S) 및 캐리단자(C)에 입력단이 연결되어 있으며 상기한 반가산기(20)의 출력신호를 이용하여 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동하도록 하는 스위치부(30)를 포함하여 이루어진다.

<27>        상기한 스위치부(30)의 구성은, 상기한 반가산기(20)의 합출력단(S)에 입력단이 연결되어 있는 제1 스위치(31)와, 상기한 반가산기(20)의 캐리출력단(C)에 입력단이 연결되어 있으며 상기한 제1 스위치(31)의 출력단에 출력단이 연결되어 있는 제2 스위치(32)와, 상기한 반가산기(20)의 캐리출력단(C)에 입력단이 연결되어 있는 제3 스위치(33)를 포함하여 이루어진다.

<28>        도 4는 상기한 제1 내지 제3 스위치(31, 32, 33)의 구체적인 회로 구성을 보여 주고 있는데, 도 4에서 J로 표시된 회로요소들은 위에서 설명한 바 있는 조셉슨 접합들을 나타낸다.

<29>        도 4에 도시되어 있는 스위치는, 제어신호(Switch Control)의 전류의 양이 회로요소들의 값들에 의해 정해지는 일정 값 이상이면 닫히게 되고 그 이하이면 열려있게 되는 구조로 이루어지는데, 입력신호(Data in)가 입력 인덕터를 통하여 들어오게 되면, 스위치의 조건에 따라, 스위치가 열려있으면 제1 조셉슨 접합(Joff)에 전압펄스를 일으켜 출력 펄스가 발생하지 않고, 스위치가 닫혀있으면 제2 조셉슨 접합(Jon)에 전압펄스를 일으켜 출력 인덕터를 통하여 출력 펄스가 발생하는 동작특성을 갖는다.

<30>        상기한 구성에 의한, 이 발명의 일실시예에 따른 반가산기를 이용한 논리연산장치의 작용은 다음과 같다.

<31>        반가산기(20)의 출력단에 연결되어 있는 스위치부(30)의 제1 내지 제3 스위치(31, 32, 33)의 상태에 따라 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동하게 된다.

- <32> 첫째로, 제1 스위치(31)와 제2 스위치(32)가 닫혀 있고 제3 스위치(33)가 열려 있을 경우에는 오아 게이트로서 작동한다.
- <33> 둘째로, 제2 스위치(32)가 닫혀 있고 제1 스위치(31)와 제3 스위치(33)가 열려 있을 경우에는 앤드 게이트로서 작동한다.
- <34> 세째로, 제1 스위치(31)와 제3 스위치(33)가 닫혀 있고 제2 스위치(32)가 열려 있을 경우에는 애드 연산 게이트로서 작동한다.
- <35> 네째로, 제1 스위치(31)가 닫혀 있고 제2 스위치(32)와 제3 스위치(33)가 열려 있을 경우에는 익스클러시브 오아 게이트로서 작동한다.
- <36> 상기한 바와 같은 동작특성을 이용하여 도 5에 도시되어 있는 바와 같은 2비트 논리연산 장치를 구성할 수가 있다.
- <37> 도 5는 이 발명의 일실시예에 따른 반가산기를 이용한 논리연산장치를 활용한 2비트 논리연산장치의 회로 구성도로서, 3개의 반가산기(41, 42, 46)와 2개의 스위치부(43, 44)와, 2개의 D 플립플롭(45, 47)을 사용하여 2비트 논리연산장치를 구성하고 있음을 보여주고 있다.
- <38> 도 5에 도시되어 있는 2비트 논리연산장치의 작용을 구체적인 예를 들어 설명하면 다음과 같다.
- <39> 먼저, 오아 게이트로 작동을 설정할 경우, 각각 2 비트로 구성된 두 개의 입력, 예를 들면 11(A1=1, A0=1)과 10(B1=1, B0=0)이 입력단에 가해지면, 각 자릿수의 오아 값이 R0, R1의 출력단에 나타나게 되어 011(R2=0, R1=1, R0=1)의 출력 값을 얻게 된다. R2의 출력단에는 항상 출력신호가 0이 된다.

- <40> 다음에, 앤드 게이트로 작동을 설정할 경우, 각각 2 비트로 구성된 두 개의 입력, 예를 들면 11(A1=1, A0=1)과 10(B1=1, B0=0)이 가해지면 각 자릿수의 앤드 값이 R0, R1의 출력단에 나타나게 되어 011(R2=0, R1=0, R0=1)의 출력 값을 얻게 된다. R2의 출력단에는 항상 출력신호가 0이 된다.
- <41> 다음에, 애드 게이트로 작동을 설정할 경우, 각각 2 비트로 구성된 두 개의 입력, 예를 들면 11(A1=1, A0=1)과 10(B1=1, B0=0)이 가해지면 각 자릿수의 애드 값이 R0, R1의 출력단에 나타나게 되어 011(R2=1, R1=0, R0=1)의 출력 값을 얻게 된다.
- <42> 다음에, 익스클러시브 오아 게이트로 작동을 설정할 경우, 각각 2 비트로 구성된 두 개의 입력, 예를 들면 11(A1=1, A0=1)과 10(B1=1, B0=0)이 가해지면 각 자릿수의 익스클러시브 오아 값이 R0, R1의 출력단에 나타나게 되어 011(R2=0, R1=0, R0=1)의 출력 값을 얻게 된다. R2의 출력단에는 항상 출력신호가 0이 된다.
- <43> 한편, 논리연산장치가 실질적으로 응용될 수 있기 위해서는, 다수의 비트를 처리할 수 있는 논리연산장치를 만드는 것이 중요하다.
- <44> 도 6은 이 발명의 일실시예에 따른 반가산기를 이용한 논리연산장치를 활용한 4비트 논리연산장치의 회로 구성도로서, 10개의 반가산기(51~54, 60~62, 66, 67, 72)와 4개의 스위치부(55~58)와, 14개의 D 플립플롭(59, 63~65, 68~71, 73~78)을 사용하여 4비트 논리연산장치를 구성하고 있음을 보여주고 있다.
- <45> 도 6에 도시되어 있는 4비트 논리연산장치는, 전압펄스를 사용하여 디지털값이 결정되는 회로에서는 전압펄스의 신호지연에 의해 회로의 최대 작동속도가 결정되므로, 전압의 상태에

따라 디지털값이 결정되는 회로에서 사용하는 글로벌 클럭을 사용하게 되면 속도가 느려지게 되므로, 글로벌 클럭을 필요로 하지 않는다.

<46> 즉, 도 6에 도시되어 있는 4비트 논리연산장치는, 각 회에 놓여진 구성회로들만 한 클럭 사이클에 작동하면 되므로 국지적 클럭을 사용할 수가 있게 되고, 이에 따라 전압펄스의 신호 지연이 줄어들게 되어 회로의 치대 작동속도가 빨라지게 되고, 비트수의 증가에 덜 민감하게 된다.

<47> 도 6에 도시되어 있는 4비트 논리연산장치의 작용을 구체적인 예를 들어 설명하면 다음과 같다.

<48> 먼저, 오아 게이트로 작동을 설정할 경우, 각각 4 비트로 구성된 두 개의 입력, 예를 들면 (1111)과 (1010)이 가해지면 각 자릿수의 오아 값이 출력에 나타나게 되어 (01111)의 출력 값을 얻게 된다.

<49> 다음에, 앤드 게이트로 작동을 설정할 경우, 각각 4 비트로 구성된 두 개의 입력, 예를 들면 (1111)과 (1010)이 가해지면 각 자릿수의 앤드 값이 출력에 나타나게 되어 (01010)의 출력 값을 얻게 된다.

<50> 다음에, 애드 게이트로 작동을 설정할 경우, 각각 4 비트로 구성된 두 개의 입력, 예를 들면 (1111)과 (1010)이 가해지면 각 자릿수의 애드 값이 출력에 나타나게 되어 (11001; 02=1, 01=0, 00=1)의 출력 값을 얻게 된다.

<51> 다음에, 익스클러시브 오아 게이트로 작동을 설정할 경우, 각각 4 비트로 구성된 두 개의 입력, 예를 들면 (1111)과 (1010)이 가해지면 각 자릿수의 익스클러시브 오아 값이 출력에 나타나게 되어 (00101)의 출력값을 얻게 된다.

**【발명의 효과】**

<52>        이상의 실시예에서 살펴 본 바와 같이 이 발명은, 초전도체 단자속양자소자를 논리회로로서 사용한 반가산기를 이용하여 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동할 수 있도록 함으로써 고성능의 논리연산장치를 제작할 수 있도록 하는, 효과를 갖는다.

**【특허청구범위】****【청구항 1】**

초전도체 단자속양자소자를 논리회로로서 사용한 반가산기와, 상기한 반가산기의 합단자 및 캐리단자에 입력단이 연결되어 있으며 상기한 반가산기의 출력신호를 이용하여 오아 게이트, 앤드 게이트, 애드 연산 게이트, 익스클루시브 오아 게이트 등으로 작동하도록 하는 스위치부를 포함하여 이루어지며,

상기한 스위치부는,

상기한 반가산기의 합출력단에 입력단이 연결되어 있는 제1 스위치와,

상기한 반가산기의 캐리출력단에 입력단이 연결되어 있으며 상기한 제1 스위치의 출력단에 출력단이 연결되어 있는 제2 스위치와,

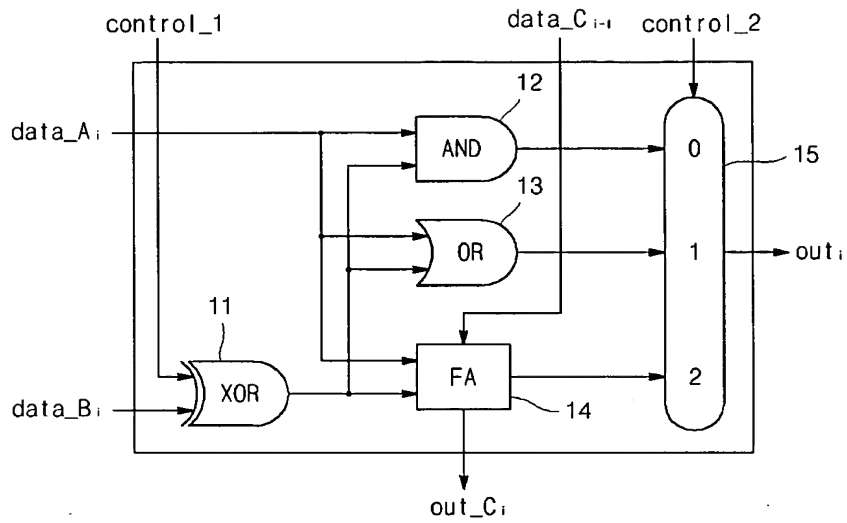
상기한 반가산기의 캐리출력단에 입력단이 연결되어 있는 제3 스위치를 포함하여 이루어지는 것을 특징으로 하는 반가산기를 이용한 논리연산장치.

**【청구항 2】**

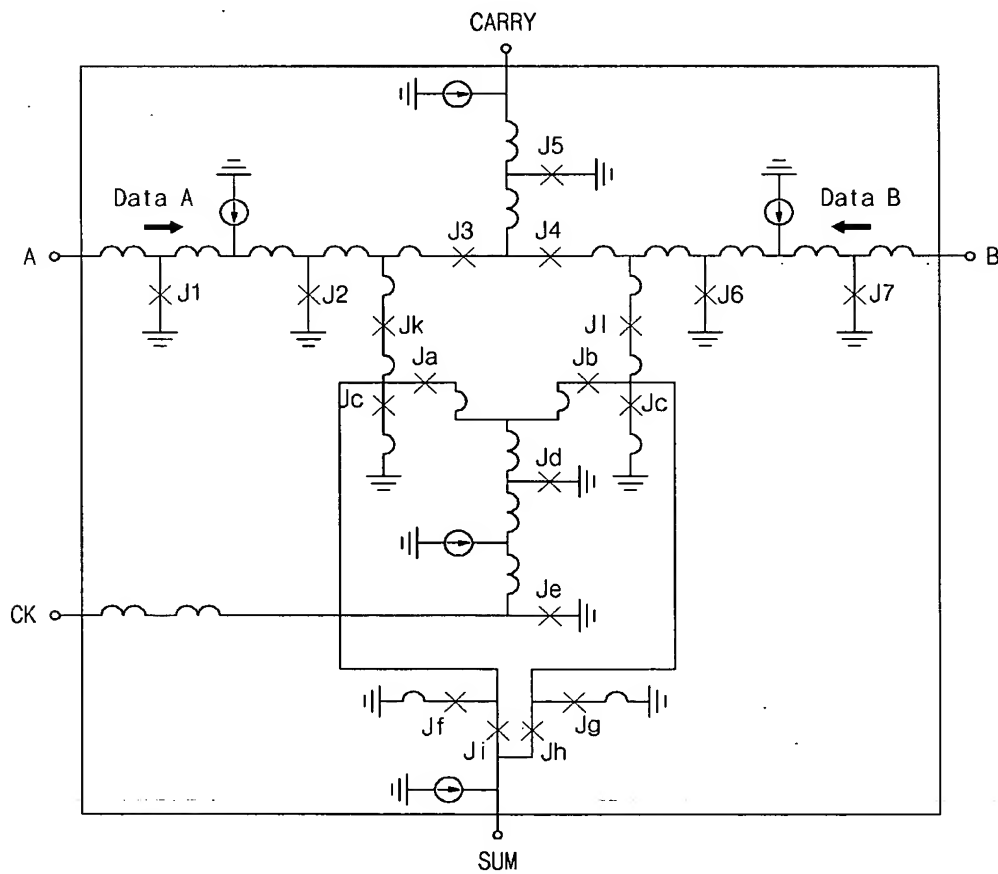
제 1항에 있어서, 상기한 제1 내지 제3 스위치는 두 개의 초전도체를 약하게 결합시킨 조셉슨 접합들을 포함하여 이루어지는 것을 특징으로 하는 반가산기를 이용한 논리연산장치.

【도면】

【도 1】

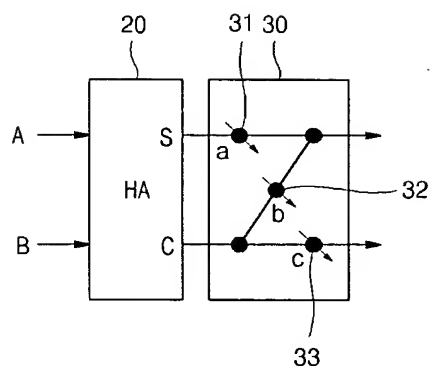


【도 2】

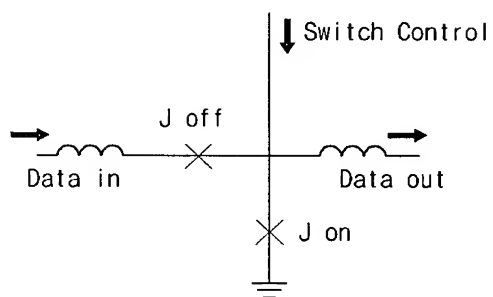




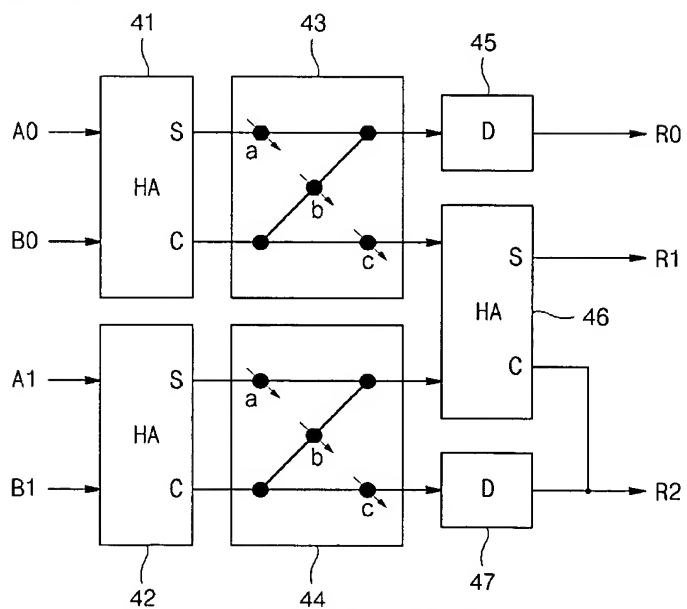
【도 3】



【도 4】



【도 5】





【도 6】

